



TLC 낸드 플래시 기반 저장 장치에서 페이지 중복쓰기 기법을 이용한 SLC 버퍼 성능향상 연구  
SLC Buffer Performance Improvement using Page Overwriting Method in TLC NAND Flash-based Storage Devices

---

저자 (Authors)	원삼규, 정의영 Samkyu Won, Eui-Young Chung
출처 (Source)	<a href="#">전자공학회논문지 53(1)</a> , 2016.1, 36-42 (7 pages) <a href="#">IEIE(Journal of the Institute of Electronics and Information Engineers) 53(1)</a> , 2016.1, 36-42 (7 pages)
발행처 (Publisher)	<a href="#">대한전자공학회</a> THE INSTITUTE OF ELECTRONICS ENGINEERS OF KOREA
URL	<a href="http://www.dbpia.co.kr/Article/NODE06601478">http://www.dbpia.co.kr/Article/NODE06601478</a>
APA Style	원삼규, 정의영 (2016). TLC 낸드 플래시 기반 저장 장치에서 페이지 중복쓰기 기법을 이용한 SLC 버퍼 성능향상 연구. 전자공학회논문지, 53(1), 36-42.
이용정보 (Accessed)	연세대학교 165.132.59.95 2016/04/04 11:30 (KST)

---

#### 저작권 안내

DBpia에서 제공되는 모든 저작물의 저작권은 원저작자에게 있으며, 누리미디어는 각 저작물의 내용을 보증하거나 책임을 지지 않습니다.

이 자료를 원저작자와의 협의 없이 무단게재 할 경우, 저작권법 및 관련법령에 따라 민, 형사상의 책임을 질 수 있습니다.

#### Copyright Information

The copyright of all works provided by DBpia belongs to the original author(s). Nurimedia is not responsible for contents of each work. Nor does it guarantee the contents.

You might take civil and criminal liabilities according to copyright and other relevant laws if you publish the contents without consultation with the original author(s).

논문 2016-53-1-5

# TLC 낸드 플래시 기반 저장 장치에서 페이지 중복쓰기 기법을 이용한 SLC 버퍼 성능향상 연구

## ( SLC Buffer Performance Improvement using Page Overwriting Method in TLC NAND Flash-based Storage Devices )

원 삼 규\*, 정 의 영\*\*

( Samkyu Won and Eui-Young Chung<sup>Ⓒ</sup> )

### 요 약

다중 셀 기반의 저장장치 특히, TLC 낸드 플래시는 낮은 가격을 무기로 SSD에 채용되고 있다. 그러나 TLC는 기존의 MLC 대비 느린 성능과 내구성으로 인해 일부 블록(Block)을 SLC 영역으로 할당하여, 버퍼로 사용함으로써 성능을 개선하는 구조를 발전시켜 왔다. 본 논문에서는 SLC 버퍼 성능을 보다 향상시키기 위하여 SLC 블록에 대해 페이지 덮어쓰기 기능을 도입하였다. 이를 통해, 제한된 회수 이내에서 지움 동작 없이 데이터 갱신을 가능하도록 했다. 특히, 기존의 SLC 버퍼 영역이 채워지는 경우 유효 페이지를 TLC 블록으로 이동 복사하고, 해당 블록을 지워야 하는데, 제안된 방법을 통해 유효 페이지 복사 및 지움 동작을 50% 이상 줄일 수 있었다. 시뮬레이션 평가 결과 기존의 SLC 버퍼 대비 버퍼 덮어 쓰기를 통해 2배의 쓰기 성능 개선을 달성 하였다.

### Abstract

In multi-level-cell based storage devices, TLC NAND has been employed solid state drive due to cost effectiveness. Since TLC has slow performance and low endurance compared with MLC, TLC based storage has adopted SLC buffer scheme to improve performance. To improve SLC buffer scheme, this paper proposes page overwriting method in SLC block. This method provides data updates without erase operation within a limited number. When SLC buffer area is filled up, FTL should execute copying valid pages and erasing it. The proposed method reduces erase counts by 50% or more compared with previous SLC buffer scheme. Simulation results show that the proposed SLC buffer overwrite method achieves 2 times write performance improvement.

**Keywords :** Flash Memory, TLC NAND, SLC Buffer, Page overwrite, FTL

\* 정회원, 연세대학교 전기전자공학과  
(Department of Electrical and Electronic  
Engineering, Yonsei University), SK 하이닉스(SK  
- Hynix Semiconductor)

\*\* 정회원, 연세대학교 전기전자공학과  
(Department of Electrical and Electronic  
Engineering, Yonsei University)

Ⓒ Corresponding Author(E-mail: eychung@yonsei.ac.kr)

※ 이 논문은 SK 하이닉스 및 2015년도 정부(교육부)  
의 재원으로 한국연구재단의 지원을 받아 수행된  
기초연구사업임 (NRF-2013R1A1A2011208)

Received ; December 6, 2015      Revised ; December 10, 2015

Accepted ; December 30, 2015

## I. 서 론

낸드 플래시 메모리는 비휘발성 메모리의 하나로 모바일 기기들의 성장과 더불어 시장 규모가 급격히 증가하고 있다. 특히, 작은 사이즈에 저전력 및 고성능을 제공함으로써 인해 eMMC, UFS, SSD 등 다양한 저장 장치에서 사용되고 있다. 최근에는 한 개의 셀(cell)에 하나의 비트(bit)만 저장하는 Single-level cell (SLC) 낸드 플래시보다 2 비트 이상의 데이터를 저장하는 Multi-level cell (MLC) 낸드 플래시가 시장을 주도하

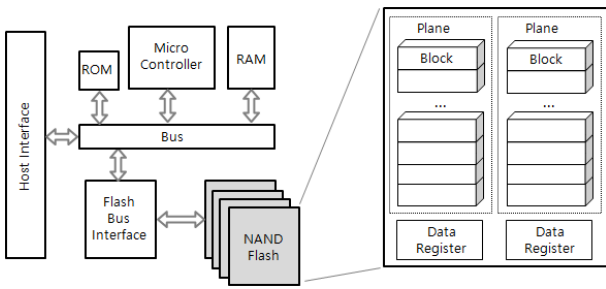


그림 1. 낸드 플래시 기반 저장 장치 구조  
Fig. 1. NAND flash based storage architecture.

고 있다. 이는 동일한 면적에 고용량의 메모리를 집적함으로써 우수한 가격 경쟁력을 가질 수 있기 때문이다. 특히 한 개의 셀에 3 비트 데이터를 저장할 수 있는 Triple-level cell (TLC) 낸드 플래시가 낮은 가격을 무기로 SSD에 채용되고 있다.

그림 1은 이러한 낸드 플래시를 기반으로 하는 저장 장치의 일반적인 구조로서 다수의 낸드 플래시와 이를 제어하는 소프트웨어 계층이 제어하는 컨트롤러로 구성되며, 이중 낸드 플래시는 낮은 가격의 고용량을 위하여 MLC 또는 TLC 낸드를 사용하여 다중 채널 (Multi-channel) 및 다중 웨이 (Multi-Way)로 구성하고 있다.

하지만 TLC 낸드의 경우 SLC 대비 상대적으로 느린 접근 속도와 낮은 내구성을 가지고 있는데, 이를 극복하기 위해 이중의 SLC와 MLC 칩을 혼합하여 사용하는 저장장치<sup>[1]</sup>나 MLC 칩에 SLC 블록을 구분하여 사용할 수 있는 Flex-OneNAND<sup>[2]</sup>, 또는 MLC 셀에서 프로그램 방법을 이용하여 SLC의 특성만을 선택적으로 사용할 수 있는 방법<sup>[3]</sup>들이 제안되었다.

이들 방법은 메모리 시스템에서의 속도 향상을 위한 캐시 버퍼를 사용하는 것과 유사하게 상대적으로 빠른 속도를 가지는 SLC를 버퍼 메모리로 사용하는 특징을 가지고 있다. 따라서 SLC를 버퍼 메모리로 사용하는 MLC 낸드 플래시 기반 저장 장치의 경우 이를 관리하기 위한 소프트웨어 계층으로 Flash Translation Layer (FTL) 역시 활발히 연구되고 있다<sup>[1-5]</sup>.

FTL의 주요 역할은 파일시스템의 논리주소를 낸드 플래시의 물리 주소로 바꿔 주고, 이들 맵핑 정보를 관리한다. 낸드 플래시는 어떤 데이터를 블록에 쓰기 위해서 먼저 그 블록을 삭제해야 하는 제약사항이 있는데, 이를 보통 쓰기 전 지우기 (erase-before-write) 라고 부른다. 이 특성으로 인해 이미 쓰인 논리 주소의 데이터를 업데이트 하고자 할 경우, 낸드 플래시의 해당 물

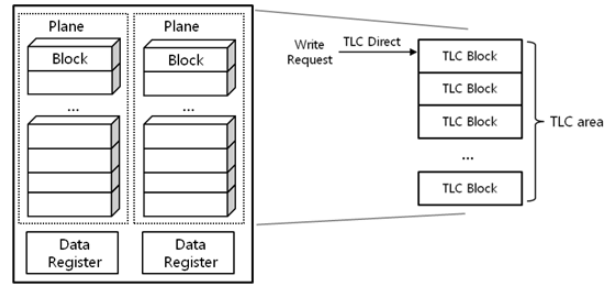


그림 2. TLC 낸드 플래시 직접 쓰기 방식  
Fig. 2. TLC direct write method in TLC NAND.

리 주소의 블록을 삭제하고 다시 쓰거나, 다른 블록의 빈 페이지에 업데이트 정보를 쓰고 이전의 페이지 데이터는 invalid 처리하는 방법을 사용한다.

본 논문에서는 TLC 낸드를 채용한 저장장치에서 성능 향상을 위해 SLC 블록을 일부 할당하여 버퍼 메모리로 사용하고, 낸드의 erase-before-write 특성으로 인한 성능저하를 최소화하기 위해 페이지 덮어쓰기 방법<sup>[6]</sup>을 도입하여 해결하고자 하였다. 이를 통해 성능저하에 영향을 주는 가비지 콜렉션(Garbage collection) 동작, 특히 빈 블록을 생성하기 위한 valid 페이지 복사 및 블록 삭제 동작이 50% 이상 현저히 줄어들음을 확인하였다.

## II. 본 론

### 1. 기존의 TLC 낸드 플래시 쓰기 방법

TLC 낸드 플래시로 구성된 저장 장치에서 호스트로부터 쓰기 요청이 들어오는 경우 내부의 소프트웨어 계층인 FTL은 논리 주소(Logical Address)를 낸드의 물리 주소 (Physical Address)로 매핑하고 페이지 단위로 낸드가 프로그램 동작을 수행 한다. 이 경우 쓰기 요청이 최종 TLC 낸드에 쓰는 방식은 두 가지로 나눌 수 있다.

#### 가. TLC 직접 쓰기 방법

그림 1과 같은 낸드 기반 저장장치 구조에서 낸드 플래시를 TLC로 사용할 경우 각각의 블록은 TLC 셀을 기본으로 동작하게 되며, 그림 2와 같이 호스트로부터 쓰기 요청이 들어오는 경우 FTL은 논리 주소와 데이터 크기(Write length) 참고하여 페이지 단위로 쪼갠 다음 낸드에 프로그램 명령어를 보낸다. 이 때, 낸드에 저장되는 데이터의 물리 주소의 위치는 모두 TLC 블록 주소를 가지게 되며, 이들 셀의 특성상 느린 프로그램 시

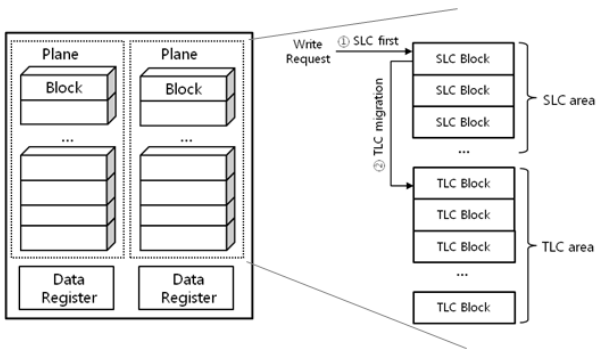


그림 3. TLC 낸드 플래시에 SLC 버퍼쓰기 방식  
Fig. 3. SLC buffer write method in TLC NAND.

간 (tPROG)이 소요되기 때문에 쓰기 성능이 느려지는 단점을 가지고 있으나, FTL의 블록 관리(Block management)가 용이하며, 낸드 용량의 손실을 최소화 할 수 있는 장점을 가진다.

나. SLC 버퍼 쓰기 방법

TLC의 느린 성능을 보완하기 위해서 그림 3과 같이 낸드의 블록을 SLC 영역과 TLC 영역으로 나누어서 FTL이 관리할 수 있다. SLC 블록 영역은 TLC 대비 빠른 페이지 쓰기가 가능하여 SLC 버퍼라고 부르기도 한다.

그림 3에서처럼 호스트에서 쓰기 요청이 들어오게 되면, FTL은 우선 해당 데이터를 쪼개어 SLC 블록에 먼저 쓴다. 이는 FTL이 관리하는 SLC 블록이 모두 소모될 때까지 사용되며, 더 이상 사용할 SLC 블록이 없는 경우, SLC 영역의 데이터를 TLC 영역으로 옮겨 쓰게 된다. 이 경우 SLC 영역의 블록은 TLC 대비 1/3의 크기를 가지게 되어 블록의 개수가 많아질수록 전체 용량이 줄어들게 된다. 반면, 셀의 특성상 보다 빠른 페이지 프로그램 시간(tPROG)을 가지고 있어 쓰기 성능을 개선할 수 있다.

2. 제안된 TLC 쓰기 성능 개선 방법

가. 기존의 페이지 데이터 갱신 방법

낸드의 기본 동작은 읽기(read), 쓰기(program), 지우기(erase)로 나뉘며, 읽기와 쓰기는 페이지(page) 단위로 동작하며, 지우기 동작은 블록(block)으로 동작한다.

낸드 플래시의 제약 사항 중 하나가 페이지 덮어쓰기(overwrite) 금지가 있는데, 이는 페이지의 쓰여진 데이터를 갱신(update)해야 할 경우 덮어쓰기가 불가하여 해당 블록의 유효(valid) 페이지의 데이터를 다른 곳으로 복사(copy)한 다음 갱신하고자 하는 페이지에 데이

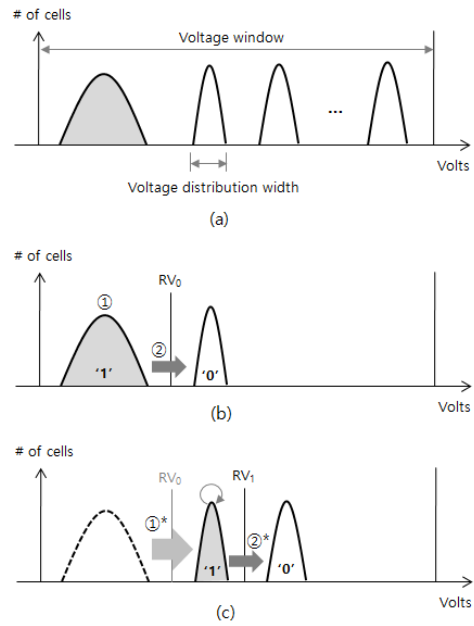


그림 4. 지우기 동작 없이 페이지 덮어쓰기 방법<sup>[6]</sup>

(a) 다중셀 분포 (b) SLC 쓰기 (c) SLC 덮어쓰기  
Fig. 4. Page overwrite method without erase operation  
(a) Multi-cell distribution (b) SLC normal write (c) SLC overwrite.

터를 고쳐 써야 한다.

예를 들어 낸드의 물리주소 블록 #0의 페이지 #63이 쓰인 상태에서 해당 페이지 데이터를 갱신하고자 한다면, FTL의 주소 맵핑 기법(address mapping method)을 고려하지 않는다면, 먼저 데이터를 백업할 블록 #100에 기존의 유효 페이지 데이터를 옮겨 쓴 다음①, 블록 #0에 지우기 동작을 수행 한다②. 그 후 블록 #100의 데이터를 블록 #0으로 복사한 다음③, 갱신할 데이터를 페이지 #63에 쓴다④.

따라서 위의 과정 없이 해당 페이지 #63의 데이터의 덮어쓰기가 가능한 경우, 현재 FTL의 맵핑 기법을 통한 블록 지우기 동작 및 유효 페이지 복사 최소화를 보다 효율적으로 구사할 수 있게 된다.

나. 다중셀에서 페이지 데이터 갱신 방법

FTL에서 페이지 데이터를 유효 페이지 복사나 지우기 동작 없이 수행하기 위해서, 낸드 플래시가 페이지 덮어쓰기<sup>[6]</sup> 동작을 제공해야 한다.

그림 4는 낸드 플래시에서 지우기 동작 없이 페이지를 덮어 쓰기 위한 방법을 개념적으로 설명한 것이다. MLC 또는 TLC 낸드의 경우 소거 셀(Erased cell)을 기준으로 프로그램 셀(Programmed cell)까지 넓은 전압분포를 가지는데, SLC로 프로그램 하는 경우 셀은

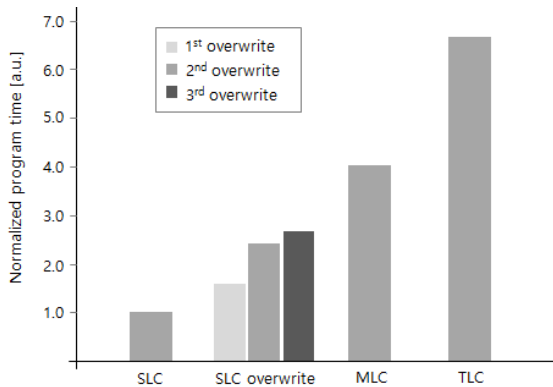


그림 5. 셀 종류별 프로그램 시간과 SLC 덮어쓰기 시간 비교 그래프

Fig. 5. Normal program and SLC overwrite time for cell type.

그림 4의 (b)와 같이 소거 상태('1' 상태)와 프로그램 상태('0' 상태) 2가지만 존재한다. 이 셀을 SLC로 덮어 쓰기 할 경우 전압 분포가 오른쪽으로 옮겨 가게 되면서, 기존의 셀 데이터 값이 갱신된다. 즉, 이전 데이터에 상관없이 '0' 데이터로 갱신할 경우 그림 4의 (b)에서  $RV_1$  보다 높은 곳으로 셀이 프로그램 되고, '1' 데이터로 갱신할 경우  $RV_1$ 보다 낮은 전압 분포로 프로그램 된다.

이 때, 읽기 전압 역시 이전  $RV_0$ 과 다른 값  $RV_1$ 을 가지며, 읽기 전압의 구별은 해당 페이지의 별도 영역에 지정하여, 덮어쓰기의 회수에 따라 변경할 수 있다.

그림 5는 셀 종류별 프로그램 시간( $t_{PROG}$ )과 SLC 덮어쓰기 시간을 비교한 그래프이다. SLC 셀에 SLC 프로그램을 하는 경우 가장 짧은 프로그램 시간을 가지며, MLC 및 TLC로 갈수록  $t_{PROG}$ 가 늘어난다. 반면 SLC 덮어쓰기의 경우 회수에 따라서 소거 셀과 프로그램 셀의 전압분포를 만드는 내부 알고리즘이 달라지며, SLC 보다는 느리며, MLC 보다는 빠른  $t_{PROG}$ 를 특징을 가진다.

#### 다. 제안된 SLC 버퍼 덮어쓰기와 블록 관리 방법

앞 절에서 설명한 바와 같이 다중셀 낸드 플래시에서 페이지 데이터 갱신방법을 사용하면, SLC 버퍼를 보다 효율적으로 사용할 수 있게 되는데, TLC 낸드 플래시로 구성된 저장 장치에서 블록을 그림 6과 같이 SLC 영역과 TLC영역으로 나누어 블록을 관리한다.

호스트로부터 쓰기 요청이 들어오면, 주소 맵핑 테이블에 논리 주소를 낸드 물리 주소로 바꿔 기록하고, SLC 블록에 데이터를 먼저 쓴다. 페이지 매핑을 사용한다고 가정하면, 그림 7에서처럼 SLC 블록에 페이지

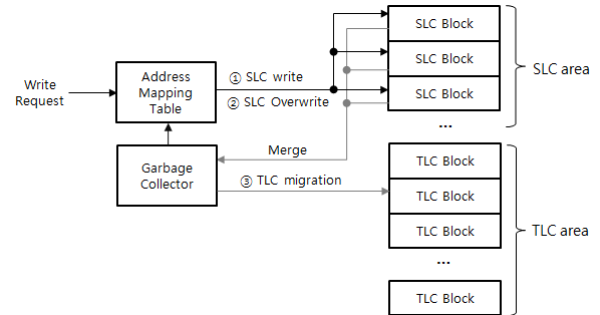


그림 6. 제안된 SLC 버퍼 덮어쓰기 방법

Fig. 6. Proposed SLC buffer overwrite method.

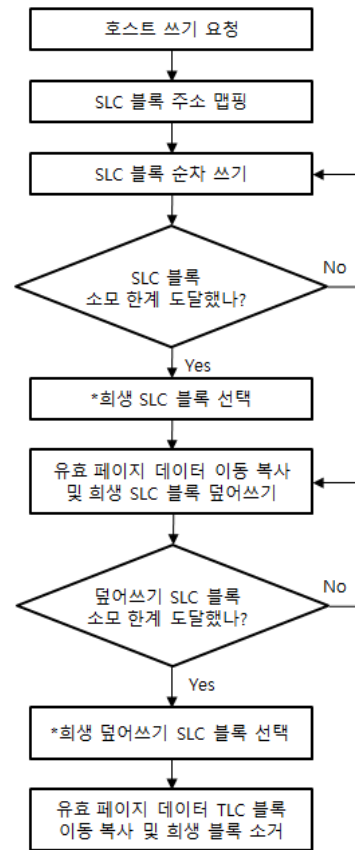


그림 7. 호스트 쓰기 요청명령에 대한 SLC 버퍼 쓰기 및 덮어 쓰기 순서도

Fig. 7. SLC buffer write and overwrite flow chart for host write request.

단위로 순차 프로그램을 진행하게 되며, SLC 영역에 할당된 블록의 개수는 유효 데이터로 채워지게 된다.

이 때, 호스트에서 동일한 논리 주소에 데이터를 갱신할 경우 이전 물리 주소를 invalid 처리하고 비어 있는 SLC 영역의 빈 페이지에 써나간다. 만약 SLC 영역에 할당된 블록의 개수가 모두 사용되어 FTL에서 정해

표 1. SLC, SLC 덮어쓰기 및 TLC 성능비교  
Table 1. Performance parameter comparison between SLC/TLC and SLC overwrite.

항목	SLC	SLC 덮어쓰기			TLC
		1회	2회	3회	
블록당 페이지개수	86	86	86	86	258
페이지 프로그램	300us	500us	700us	800us	2000us
페이지 읽기	30us	50us	50us	50us	100us
블록 지우기	5ms				
데이터 입출력속도	400Mbps				

둔 한계 수량에 도달 한 경우 희생 (Victim) SLC 블록을 선정하여 SLC 블록 덮어쓰기를 수행한다. 희생 SLC 블록은 유효 페이지(valid page)를 최소로 가진 블록으로 맵핑 테이블을 통해 관리한다. 따라서 초기 SLC블록이 다 채워진 경우 첫째 SLC 덮어쓰기(1st SLC overwrite)를 희생 SLC 블록을 선정하여 쓰게 되며, 이들 역시 다 채워진 경우는 둘째 SLC 덮어쓰기를 진행한다.

SLC 버퍼의 덮어쓰기 회수도 마찬가지로 미리 정해 둘 수 있으며, TLC 낸드의 경우 3회 정도가 블록의 수명 및 쓰기 성능을 고려할 때 적합하다.

### III. 실험

#### 1. 실험 환경

실험을 위해 TLC 낸드 플래시 메모리의 성능을 모델링 하고 FTL을 포함하는 trace-driven 시뮬레이터를 작성하였고, 이 시뮬레이터는 여러 trace를 입력하여 FTL을 실제 낸드의 동작을 프로파일링 해 준다. FTL의 경우 하이브리드 매핑 기법 대신, 최근 SSD에 사용하는 페이지 매핑을 기본으로 구성하였다.

실험에 사용한 TLC 낸드는 128GB (16GB) 용량에 16KB 페이지 사이즈와 2-plane으로 구성된 단일 칩으로 다중 채널 및 다중 웨이 구성은 고려하지 않았다.

TLC 낸드의 사양은 표 1과 같으며, TLC 블록은 258개의 페이지로 구성되고, SLC 블록은 86개의 페이지로 구성되어 있다. 총 블록 개수는 4064개이며, SLC 영역은 5~20%까지 설정할 수 있도록 구현하였다. 실험에 사용한 trace는 Workload를 추출 tool (Diskmon)을 활

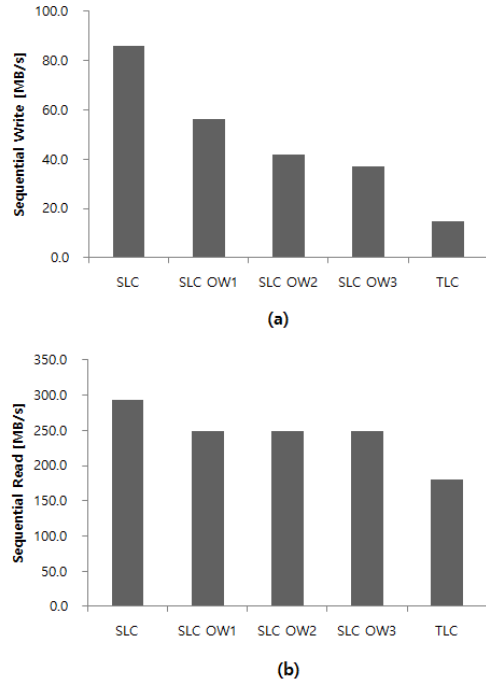


그림 8. TLC낸드에서 블록 특성 별 성능 비교 (a) 쓰기 성능 (b) 읽기 성능

Fig. 8. Performance comparison for block characteristics in TLC NAND.

용하여 Windows 기반 SSD에서 일반적인 사용 환경에서 추출한 것으로, 고용량 파일 복사, 파일 다운로드와 함께 인터넷 동작, 게임 또는 프로그램 설치 등 sequential과 random성능을 모두 볼 수 있게 구성하였다.

#### 2. 실험 결과

가. SLC 버퍼 덮어쓰기 회수 블록 쓰기 및 읽기 성능  
TLC 낸드에서 블록에 쓰인 셀의 상태에 따라서 SLC 버퍼 블록 및 덮어쓰기 회수별 SLC 버퍼 블록 그리고 TLC 블록으로 나눌 수 있음을 앞에서 설명하였다.

이들 블록이 가질 수 있는 최대 쓰기 성능 및 읽기 성능은 그림 8과 같으며, SLC 덮어쓰기 블록은 정상 SLC 블록보다 45~60%의 쓰기 성능을 가지고 있으나 TLC 비교하면 2.5~4배 빠른 특성을 가졌다. 반면 읽기 성능의 경우 SLC 덮어쓰기 블록은 회수에 상관없이 동일하며, SLC 대비 20% 정도 성능이 낮으나 쓰기 성능보다 3.5배 이상 높아 실제 저장 장치에서는 쓰기 성능 개선이 중요한 것을 보여 준다.

#### 나. SLC 버퍼 영역의 크기별 성능 변화

최적의 SLC 버퍼 영역을 설정하기 위하여 그림 9는



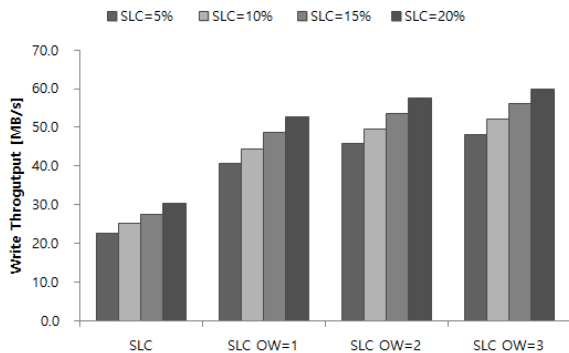


그림 9. SLC 버퍼 크기에 버퍼 덮어쓰기 회수 변화에 따른 쓰기 성능 변화  
Fig. 9. Write throughput according to SLC buffer size and number of SLC buffer overwrites.

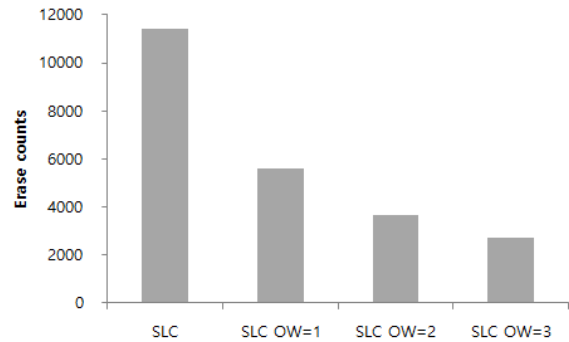


그림 11. 쓰기 요청에 대해서 SLC 버퍼 영역의 블록 지움 회수 비교  
Fig. 11. Erase counts comparison for write requests in SLC buffer area.

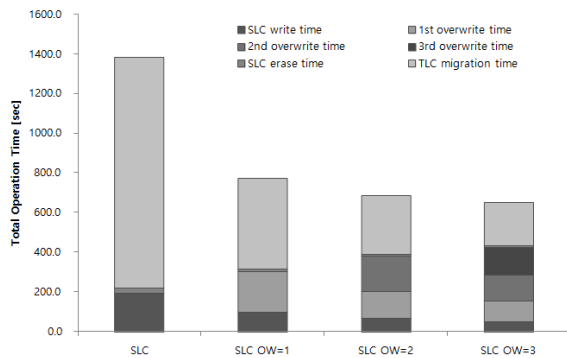


그림 10. 쓰기 요청에 대해 낸드에서 수행한 동작시간 분석  
Fig. 10. NAND Operation time analysis for total write requests.

초기 상태 블록을 모두 지움 상태에서 SLC 버퍼 영역을 각각 5%, 10%, 15%, 20%로 설정하여, SLC 버퍼 덮어쓰기 없는 경우와, SLC buffer 덮어쓰기를 각각 1회, 2회, 3회 허용한 경우 성능을 비교 시뮬레이션 하였다. 그래프와 같은 쓰기 성능을 구하기 위해 위의 낸드보다 큰 사이즈의 trace를 입력하여, 이를 쓰기 요청을 처리하는데 걸린 시간으로 나누어 산출하였다.

쓰기 성능은 SLC 버퍼 우선 쓰기를 동작에 따라서 SLC 버퍼의 영역을 할당할 경우 성능이 개선됨을 알 수 있는데, TLC 대비 빠른 SLC 프로그램이 빠르기 때문이며, SLC 버퍼 단일 쓰기의 경우 덮어쓰기에 비해 느린 쓰기 성능은 SLC 버퍼를 비우기 위해서 TLC로 데이터를 옮기는 시간이 SLC 버퍼 덮어쓰기보다 길기 때문이다.

이 후 시뮬레이션은 TLC 낸드 칩의 용량 저하를 최소화 할 수 있는 크기인 5%, 200개 블록을 SLC 버퍼 영역으로 설정하여 후속 시뮬레이션을 진행하였다.

#### 다. SLC 버퍼 덮어쓰기 회수 별 성능 변화

그림 10은 SLC 영역을 200개 SLC 블록으로 설정한 다음, SLC 덮어쓰기(OW) 허용 회수를 각각 최대 1회, 2회 및 3회까지 한 경우 시뮬레이션 trace를 TLC 낸드가 수행하는데 걸린 시간을 분석한 것이다.

SLC 버퍼 덮어쓰기가 없는 경우 SLC 버퍼 데이터를 TLC로 이주하는데 소요되는 시간이 가장 많으며, 버퍼의 허용 덮어쓰기(OW) 횟수가 증가함에 따라서 SLC 버퍼 쓰기 이후 유효 페이지 이동과 함께 호스트 쓰기 요청이 그림 10에서처럼 첫째 덮어쓰기 (1st overwrite time)로 옮겨가고, 다시 둘째 덮어쓰기를 하면 유효 페이지 복사가 함께 움직여 가며, 최종 TLC 블록으로의 이동이 작아지는 효과를 가져다준다. 또한 블록 덮어쓰기를 사용하기 때문에 지우기 동작의 횟수 역시 줄어든다. 그림 11은 SLC 버퍼 영역에서 덮어쓰기 회수 별로 블록 지움 회수를 추출한 것이다. 즉, 기존 SLC 버퍼 방식에 대비해서, 제안한 방식의 블록 지움 회수가 50~70% 이하 줄어 있음을 알 수 있다.

## IV. 결 론

본 논문에서는 다중셀에 기반을 둔 TLC 낸드 저장 장치에서 성능 향상의 방법으로 기존의 SLC 버퍼 쓰기에 SLC 버퍼 덮어쓰기 기능을 도입하여 해결 하고자 하였다. 기존의 경우 낸드의 특성상 지우기 동작 없이 해당 블록에 데이터를 갱신하는 것이 어려워 FTL의 도움으로 주소 매핑을 바꾸는 형식을 취하였다.

이로 인해 다양한 FTL 및 매핑 기법들이 발전하여 왔으며, 주로 효율적인 블록 관리와 이를 통해 지우기 동작 최소화 및 유효 페이지 이동 복사를 최소화 하는

것에 목표로 연구해 왔다.

제안된 SLC 버퍼 덮어쓰기 방식은 낸드 플래시 내부에서 지움 동작 없이 멀티셀에서의 SLC 특성을 활용하여 2~3회 페이지 덮어쓰기가 가능하도록 한 방식이다. 이를 기존에 SLC 버퍼를 포함한 이중 낸드 저장장치에 응용함으로써 지움 동작 회수를 50~70% 감소하였으며, SLC 버퍼 블록에서 TLC 블록으로의 유효 페이지 이동 복사를 최소화함과 동시에 SLC 버퍼 덮어쓰기도 대체함에 따라 내부 동작 시간은 50% 줄어들며 따라서 2배 이상의 성능 개선이 가능하게 되었다.

현재 본 논문은 시뮬레이션을 통해 페이지 덮어쓰기 기능을 구현하였으나 낸드 내부의 명령어 인터페이스 및 알고리즘 수정을 통해 새로운 명령어를 추가함으로써 SLC 블록에 한하여 적용될 수 있으며, 멀지 않은 미래에 채용될 예정이다.

## REFERENCES

- [1] L.-P. Chang, "Hybrid solid-state disks: combining heterogeneous nand flash in large ssds," in *Proceedings of the 2008 Asia and South Pacific Design Automation Conference*, pp. 428 - 433, 2008.
- [2] S. Lee, K. Ha, K. Zhang, J. Kim, and J. Kim, "FlexFS: a flexible flash file system for MLC NAND flash memory," in *Proceedings of the 2009 conference on USENIX Annual technical conference (USENIX'09)*, pp.9-9, 2009.
- [3] S. Im and D. Shin, "ComboFTL: Improving performance and lifespan of MLC flash memory using SLC flash buffer," *Journal of System Architecture*, vol. 56, no. 12, pp. 641 - 653, Dec. 2010.
- [4] S. Lee, K. Ha, K. Zhang, J. Kim, and J. Kim, "Flexfs: A flexible flash file system for mlc nand flash memory," *Proc. of USENIX Technical Conf.*, 2009.
- [5] K. Bang, D. Kim, S. -H. Park, E. -Y. Chung, and H. -J. Lee, "Application-aware design parameter exploration of NAND flash memory," *Journal of Semiconductor Technology and Science*, vol. 13, no. 4, pp. 291-302, Aug. 2013.
- [6] S. Won, E-Y. Chung, D. Kim, J. Chung, B. Han and H-J. Lee, "Page overwriting method for performance improvement of NAND flash memories," *IEICE Electronics Express*, vol. 10, no. 6, pp. 1-6, Mar. 2013.

## 저 자 소 개



원 삼 규(정회원)

1996년 부산대학교 학사 졸업  
1998년 포항공대 석사 졸업  
2008년~현재 연세대학교 박사과정  
<주관심 분야 : NVM 메모리 시스템 구조, 저전력 회로 설계, VLSI 설계>



정 의 영(정회원)

1988년 고려대학교 학사 졸업  
1990년 고려대학교 석사 졸업  
2002년 Stanford University 박사 졸업  
<주관심 분야 : 시스템 구조, VLSI 설계, 저전력 설계>